

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-033933

(43)Date of publication of application : 14.02.1991

(51)Int.Cl.

G06F 9/38

(21)Application number : 01-169483

(71)Applicant : NEC CORP

(22)Date of filing : 29.06.1989

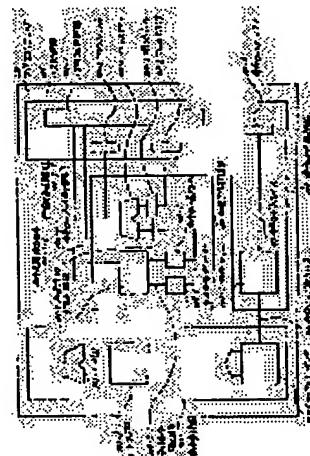
(72)Inventor : NOMURA MASAHIRO

(54) MICROCOMPUTER

(57)Abstract:

PURPOSE: To accelerate the execution speed of a program by immediately executing the instruction of a branch destination by switching the sequence of instruction code fetch or pre-fetching the instruction code of the branch destination in advance before executing a branch instruction.

CONSTITUTION: A branch address calculation control part 104-5 stops the pre-fetch of the instruction code behind the instruction when an unconditional branch instruction is detected by activating both an instruction forefront detecting signal 104-1-1 and a branch instruction detecting signal 104-2-1. And the sequence of the instruction code fetch is switched to that of the instruction code fetch from the branch destination. Also, when the branching instruction is a conditional branching instruction, no switching of the sequence of the instruction code fetch is performed, and the pre-fetch of the instruction code of a branch destination address is performed. In other words, by switching the sequence of the instruction code fetch before the execution of the branching instruction or pre-fetching the instruction code of the branch destination, a branch destination instruction immediately is executed, and the disturbance of a pipeline is minimized, which accelerates the execution speed of the program.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Best Available Copy

⑫ 公開特許公報 (A) 平3-33933

⑬ Int. Cl.
G 06 F 9/38識別記号
3 3 0 F府内整理番号
7361-5B

⑭ 公開 平成3年(1991)2月14日

審査請求 未請求 請求項の数 1 (全9頁)

⑮ 発明の名称 マイクロコンピュータ

⑯ 特 願 平1-169483

⑰ 出 願 平1(1989)6月29日

⑱ 発明者 野村昌弘 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出願人 日本電気株式会社 東京都港区芝5丁目7番1号

⑳ 代理人 弁理士内原晋

明細書

1. 発明の名称

マイクロコンピュータ

2. 特許請求の範囲

記憶手段に対して命令コードあるいはデータの読み出し及び書き込みを行なうバス制御手段と、前記バス制御手段が前記記憶手段から読み出した前記命令コードを格納する命令コード格納手段と、前記命令コード格納手段から前記命令コードを読み出し、解読して実行する命令実行手段を有し、前記バス制御手段による前記記憶手段からの前記命令コードあるいは前記データの読み出し及び書き込みと、前記命令実行手段による命令実行を独立に行なうバイオライン制御のマイクロコンピュータにおいて、前記命令コードの命令コード長を検出する命令コード長検出手段と、前記命令コードの中から分岐命令を検出する分岐命令検出手段と、前記分岐命令検出手段で検出された前記

分岐命令の分岐先番地を算出する分岐先番地計算手段と、前記分岐先番地計算手段の結果で指される前記分岐先番地からの前記命令コードの読み出しを命令コードフェッチシーケンスを切換える命令分岐として前記バス制御手段に対して要求する第一の要求手段と、前記命令コードフェッチシーケンスの切換えを伴わない分岐先の命令コード先取りとして前記バス制御手段に対して要求する第二の要求手段から成る分岐命令制御手段を有し、前記分岐命令制御手段が前記バス制御手段から読み出した前記分岐命令を前記命令コード格納手段に転送するタイミングで前記命令コード長検出手段と前記分岐命令検出手段によって検出し前記分岐先番地計算手段によって前記分岐先番地を算出した後前記第一の要求手段あるいは前記第二の要求手段から要求を出す事により前記バス制御手段が前記分岐命令の前記分岐先番地からの前記命令コードの読み出しを前記命令実行手段における前記分岐命令の実行に先立って行なうこと特徴とするマイクロコンピュータ。

3. 発明の詳細な説明

【産業上の利用分野】

本発明は、マイクロコンピュータ、特に、バイオライン制御によって、命令コードの先取りあるいはデータの読み出し及び書込と、命令実行を独立に行なうマイクロコンピュータに関する。

【従来の技術】

従来例について、図面を参照して説明する。

第4図は従来の一例を示すブロック図である。

第4図に示すマイクロコンピュータは、バイオライン制御によって命令コードの先取りあるいはデータの読み出し及び書込と、命令実行を独立に行なう。

マイクロコンピュータ400は、外部メモリからの命令コードフェッチ及びデータアクセスを行なうバス制御部401と、バス制御部401が先行フェッチした命令コードを格納する命令コード格納部402と、命令コード格納部402から命令コードを読み出して命令を実行する命令実行部403から成る。

接続されている。

マイクロコンピュータ400は、バス制御部401が先行フェッチし、命令コード格納部402に格納した命令コードを、命令実行部403が順次読み出して所定の処理を行なう事により、命令を実行していく。

バス制御部401内のバスサイクル制御部401-1は、命令キュー402-1の状態により、命令キュー402-1内に空きがあれば、フェッチポイントタ401-2で指されるアドレスの外部メモリから命令コードをフェッチし、その命令コードを一旦命令コードバッファ401-4に格納した後、命令コード入力バス404を介して、命令キュー402-1に転送する。

命令実行部403は、命令キュー402-1に格納された命令を順次読み出して実行しており、分岐命令を実行した結果、命令分岐するという判定がなされると、分岐判定信号403-4をバス制御部401に出力すると共に、命令実行部403内で算出した分岐アドレスを、分岐アドレスバス

更に、バス制御部401は、命令コードフェッチ等の為にバスサイクルを起動するバスサイクル制御部401-1と、外部メモリから先行フェッチするフェッチ先のアドレスを示すフェッチボインタ401-2と、命令実行部403により計算された分岐先アドレスを格納するアドレスバッファ401-3と、先行フェッチした命令コードを一時格納する命令コードバッファ401-4を有し、命令コード格納部402は、バス制御部401が先行フェッチした命令コードをFIFOで格納する複数段の命令キュー402-1を有し、命令実行部403は、命令キュー402-1から命令コードを読み出し解読して実行するマイクロシーケンサ403-1と、命令実行に必要なレジスタ群403-2と、算術論理演算を行なうALU403-3を有しており、バス制御部401と命令コード格納部402が命令コード入力バス404で、命令コード格納部402と命令実行部403が命令コード出力バス405で、バス制御部401と命令実行部403が分岐アドレスバス406で

406を介してバス制御部401内のアドレスバッファ401-3に転送する。

バスサイクル制御部401-1は、分岐判定信号403-4がアクティブになると、命令キュー402-1内に既に先行フェッチされた命令コードを無効にする為に命令コード格納部402に対して命令キュー無効信号401-5を出力すると共に、命令分岐の為のバスサイクルを起動し、フェッチボインタ401-2の内容を更新して、アドレスバッファ401-3で指される分岐先の命令コードを読み込み、一旦命令コードバッファ401-4に格納した後、命令コード入力バス404を介して、命令キュー402-1に転送する。

命令コード格納部402は、命令キュー無効信号401-5により、命令キュー402-1の内容を無効にした後、バス制御部401から転送された分岐先の命令コードを命令キュー402-1に格納する。

バス制御部401が命令分岐後に外部のメモリから分岐先の命令コードを読み出し、その命令

コードが命令コード入力バス404を介して命令キュー402-1に転送される迄、命令実行部403は、命令の実行を待たれる。

第5図に、命令分岐が発生した時の、バス制御部401と命令実行部403の動作タイミングの概略図を示す。

〔発明が解決しようとする課題〕

上述した従来のマイクロコンピュータでは、バイブライン制御によって、命令コードの先取りあるいはデータの読み出し及び書き込と、命令実行を独立に行なう事により高速化を図っているが、無条件分岐命令あるいは条件分岐命令により命令分岐が発生した場合には、先取りした命令コードが無効になる為、バイブルインに乱れが生じ、命令実行の高速化が抑えられてしまうという欠点を有している。

〔課題を解決するための手段〕

本発明のマイクロコンピュータは、記憶手段に対して命令コードあるいはデータの読み出し及び書き込みを行なうバス制御手段と、前記バス制御

ら成る分岐命令制御手段を有し、前記分岐命令制御手段が前記バス制御手段から読み出した前記分岐命令を前記命令コード格納手段に転送するタイミングで前記命令コード長検出手段と前記分岐命令検出手段によって検出し前記分岐先番地計算手段によって前記分岐先番地を算出した後前記第一の要求手段あるいは前記第二の要求手段から要求を出す事により前記バス制御手段が前記分岐命令の前記分岐先番地からの前記命令コードの読み出しを前記命令実行手段における前記分岐命令の実行に先立って行なう。

〔実施例〕

本発明の実施例について、図面を参照して説明する。

第1図は本発明の第1の実施例を示す分岐命令制御装置を備えたマイクロコンピュータを示すブロック図である。

マイクロコンピュータ100は、外部メモリからの命令コードフェッチ及びデータアクセスを行なうバス制御部101と、バス制御部101が先

手段が前記記憶手段から読み出した前記命令コードを格納する命令コード格納手段と、前記命令コード格納手段から前記命令コードを読み出し、解説して実行する命令実行手段を有し、前記バス制御手段による前記記憶手段からの前記命令コードあるいは前記データの読み出し及び書き込みと、前記命令実行手段による命令実行を独立に行なうバイブルイン制御のマイクロコンピュータにおいて、前記命令コードの命令コード長を検出する命令コード長検出手段と、前記命令コードの中から分岐命令を検出する分岐命令検出手段と、前記分岐命令検出手段で検出された前記分岐命令の分岐先番地を算出する分岐先番地計算手段と、前記分岐先番地計算手段の結果で指される前記分岐先番地からの前記命令コードの読み出しを命令コードフェッチシーケンスを切換える命令分岐として前記バス制御手段に対して要求する第一の要求手段と、前記命令コードフェッチシーケンスの切換えを伴わない分岐先の命令コード先取りとして前記バス制御手段に対して要求する第二の要求手段か

行フェッチした命令コードを格納する命令コード格納部102と、命令コード格納部102から命令コードを読み出して命令を実行する命令実行部103と、バス制御部101が先行フェッチした命令コードから無条件分岐命令を検出して、分岐先アドレスのアドレス計算を行なう分岐アドレス計算部104から成る。

更に、バス制御部101は、命令コードフェッチあるいは分岐先アドレスからの命令コード先取り等の為にバスサイクルを起動するバスサイクル制御部101-1と、外部メモリから先行フェッチするフェッチ先のアドレスを示すフェッチボインタ101-2と、分岐アドレス計算部104により計算された分岐先アドレスを格納するアドレスバッファ101-3と、先行フェッチした命令コードを一時格納する命令コードバッファ101-4を有し、命令コード格納部102は、バス制御部101が先行フェッチした命令コードをFIFOで格納する複数段の命令キュー102-1を有し、命令実行部103は、命令キュー102-1から

命令コードを読み出し解説して実行するマイクロシーケンサ103-1と、命令実行に必要なレジスタ群103-2と、算術論理演算を行なうALU103-3を有し、分岐アドレス計算部104は、バス制御部101が先行フェッチした命令コードから命令コード長の検出と無条件分岐命令の検出をそれぞれ行なう命令コード長デコーダ104-1と分岐命令デコーダ104-2と、フェッチポイントタ101-2の内容を所定のタイミングで保持するポインタバッファ104-3と、ポインタバッファ104-3の内容と無条件分岐命令の命令コード内の変移値を加算して分岐先アドレスを求めるアドレスアダ-104-4と、分岐アドレス計算制御部104-5を有しており、バス制御部101と命令コード格納部102と分岐アドレス計算部104が命令コード入力バス105で、命令コード格納部102と命令実行部103が命令コード出力バス106で接続されている。

マイクロコンピュータ100は、バス制御部101が先行フェッチし、命令コード格納部102

に格納した命令コードを、命令実行部103が順次読み出して所定の処理を行なう事により、命令を実行していく。

バス制御部101内のバスサイクル制御部101-1は、命令キュー102-1の状態により、命令キュー102-1内に空きがあれば、フェッチポイントタ101-2で指されるアドレスの外部メモリから命令コードをフェッチし、その命令コードを一旦命令コードバッファ101-4に格納した後、命令コード入力バス105を介して、命令キュー102-1に転送する。分岐アドレス計算部104は、命令コード入力バス105の内容を常にモニタしており、命令コード長デコーダ104-1は、命令コード入力バス105上の命令コードのコード長を解説して次命令の先頭を検出し、次命令の先頭命令コードが命令コード入力バス105を介して命令キュー102-1に転送されるタイミングで、ポインタバッファ104-3と分岐アドレス計算制御部104-5に命令先頭検出信号104-1-1を出力する。ポインタバッファ

104-3は、これによりフェッチポイントタ101-2の内容をラッチする。また、分岐命令デコーダ104-2は命令コード長デコーダ104-1と同様、命令コード入力バス105上の命令コードから無条件分岐命令の命令コードパターンを検出して、分岐アドレス計算制御部104-5に分岐命令検出信号104-2-1を出力する。

分岐アドレス計算制御部104-5は、命令先頭検出信号104-1-1と分岐命令検出信号104-2-1が共にアクティブになる事により、無条件分岐命令が検出されると、バス制御部101内のバスサイクル制御部101-1に対して命令コードフェッチ停止信号104-5-1を出力し、検出された無条件分岐命令に続く命令コードのフェッチを抑える。次に、検出された無条件分岐命令が置かれているアドレスを示しているポインタバッファ104-3の値と命令コード入力バス105上に出力される無条件命令コード内の変移値をアドレスアダ-104-4によって加算して、デコードした無条件分岐命令の分岐先アドレスを

求め、アドレスバッファ101-3に書込むと共に、無条件分岐判定信号104-5-2をアクティブにする。

バスサイクル制御部101-1は、命令コードフェッチ停止信号104-5-1がアクティブになると、検出された無条件分岐命令に続く命令コードのフェッチを停止する。その後、無条件分岐判定信号104-5-2がアクティブになると、分岐先からの命令コードフェッチの為のバスサイクルを起動して、アドレスバッファ101-3で指される分岐先の命令コードを外部メモリから読み出し、命令コードバッファ101-4を経由して命令キュー102-1に転送する。その後は、フェッチポイントタ101-2の内容を更新して、命令コードフェッチのシーケンスを分岐先に切換え、引続き分岐先からの命令コードフェッチを継続する。

命令実行部103は、命令キュー102-1に格納された命令を順次読み出して実行しており、既に分岐アドレス計算部104で検出された無条件

件分岐命令を、命令キュー102-1から読み出して実行した後、続いて命令キュー102-1に格納されている分岐先の命令を実行する。

命令実行部103は、バス制御部101が命令分岐後に、外部のメモリから分岐先の命令コードを読み出してくるのを待つこと無く、予め命令キュー102-1に格納された分岐先の命令コードを読み出して、すぐに分岐先の命令を実行する事ができる。

第2図に、命令分岐が発生した時の、バス制御部101と命令実行部103の動作タイミングの概略図を示す。

第3図は本発明の第2の実施例を示すブロック図である。

基本構成は、第1の実施例と同様であるが、分岐アドレス計算部304内の分岐命令デコーダ304-2は、無条件分岐命令と条件分岐命令の検出が可能になっており、バス制御部301には、分岐先アドレスから先取りした命令コードを一時格納する分岐先命令コードバッファ301-5と、

ドのコード長を解読して次命令の先頭を検出し、次命令の先頭命令コードが命令コード入力バス105を介して命令キュー102-1に転送されるタイミングで、ポインタバッファ304-3と分岐アドレス計算制御部304-5に命令先頭検出信号304-1-1を出力する。ポインタバッファ304-3は、これによりフェッチポインタ301-2の内容をラッチする。

また、分岐命令デコーダ304-2は命令コード長デコーダ304-1と同様、命令コード入力バス105上の命令コードから無条件分岐命令あるいは条件分岐命令の命令コードパターンを検出して、分岐アドレス計算制御部304-5に無条件分岐命令検出信号304-2-1あるいは条件分岐命令検出信号304-2-2を出力する。

命令先頭検出信号304-1-1と無条件分岐命令検出信号304-2-1が共にアクティブになり、無条件分岐命令が検出された場合には、マイクロコンピュータ300は、第一の実施例で述べたと同様な動作を行なう。

命令コードバッファ301-4と分岐先命令コードバッファ301-5の、命令コード格納部102への出力を選択する命令コードセレクタ301-6が付加されている。

マイクロコンピュータ300は、バス制御部301が先行フェッチし、命令コード格納部102に格納した命令コードを、命令実行部303が順次読み出して所定の処理を行なう事により、命令を実行していく。

バス制御部301内のバスサイクル制御部301-1は、命令キュー102-1の状態により、命令キュー102-1内に空きがあれば、フェッチポインタ301-2で指されるアドレスの外部メモリから命令コードをフェッチし、その命令コードを一旦命令コードバッファ301-4に格納した後、命令コード入力バス105を介して、命令キュー102-1に転送する。分岐アドレス計算部304は、命令コード入力バス105の内容を、常にモニタしており、命令コード長デコーダ304-1は、命令コード入力バス105上の命令コ-

ドのコード長を解読して次命令の先頭を検出し、命令検出信号304-1-1と条件分岐命令検出信号304-2-2が共にアクティブになると、分岐アドレス計算制御部304-5は、検出された条件分岐命令が置かれているアドレスを示しているポインタバッファ304-3の値と、命令コード入力バス105上に出力される条件分岐命令の命令コード内の変移値をアドレスアダーブラフ304-4によって加算して、デコードした条件分岐命令の分岐先アドレスを求め、アドレスバッファ301-3に書き込むと共に、分岐先命令コード先取り要求信号304-5-1をアクティブにする。

バスサイクル制御部301-1は、分岐先命令コード先取り要求信号304-5-1がアクティブになると、分岐先命令コード先取りの為のバスサイクルを起動して、アドレスバッファ301-3で指される分岐先の命令コードを外部メモリから読み出し、分岐命令コードバッファ301-5に格納する。その後は、命令実行部303で条件分岐命令が実行される迄、分岐しない場合の命令

シーケンスから命令コードフェッチを継続する。

命令実行部303は、命令キー-102-1に格納された命令を順次読み出して実行しており、既に分岐アドレス計算部304で検出された条件分岐命令を、命令キー-102-1から読み出して実行した結果、命令分岐するという判定を行なうと分岐判定信号303-1を、命令分岐しないという判定を行なうと非分岐判定信号303-2を、バス制御部301に出力する。

バス制御部301内のバスサイクル制御部301-1は、分岐判定信号303-1がアクティブになると、命令キー-102-1内に既に先行フェッチされた命令コードを無効にする為に命令コード格納部102に対して命令キー無効信号301-7を出力すると共に、命令コードセレクタ301-8を制御して、分岐先命令コードバッファ301-5に格納された分岐先の命令コードを命令コード入力バス105を介して命令キー-102-1に転送する。

その後、フェッチポイントタ301-2の内容を

更新して、命令コードフェッチのシーケンスを切換え、先取りした分岐先命令コードの次のアドレスから、引続いて命令コードのフェッチを行なうバスサイクルを起動して、フェッチした命令コードを命令キー-102-1に転送していく。

また、非分岐判定信号303-2がアクティブになると、分岐先命令コードバッファ301-5に格納された分岐先の命令コードの内容を無効にし、フェッチポイントタ301-2の内容は更新せずに、分岐しない場合の命令コードフェッチを続ける。この場合には、命令コード格納部102に対して命令キー無効信号301-7は出力しない。

命令コード格納部102は、命令分岐が発生した場合には、命令キー無効信号301-7により一旦命令キー-102-1の内容を無効にした後、バス制御部301から転送された分岐先の命令コードを命令キー-102-1に格納する。

命令実行部303は、命令分岐が発生した場合には、バス制御部301が命令分岐後に、外部の

メモリから分岐先の命令コードを読み出してくるのを持つこと無く、予め分岐先命令コードバッファ301-5に格納された分岐先の命令コードを命令キー-102-1から読み出して、すぐ分岐先の命令を実行する事ができる。

【発明の効果】

以上説明した様に本発明は、命令コードフェッチと命令の実行を独立に行なうバイブライン制御のマイクロコンピュータにおいて、プログラム中に分岐命令があった場合、命令実行部分において実行される前にその分岐命令を検出し、次の様な処理を行なうので下記に示す効果がある。

① 分岐命令が無条件分岐命令であった場合

無条件分岐命令以降にある命令コードの先行フェッチを停止して、分岐先からの命令コードフェッチに命令コードフェッチのシーケンスを切換える事により、命令分岐が発生した時に、先行フェッチしている分岐先の命令をすぐに実行する事ができる。

② 分岐命令が条件分岐命令であった場合

命令コードフェッチのシーケンスの切換えは行なわず、分岐先アドレスの命令コードを予め先取りしておく事により、命令分岐が発生した時に、先取りしておいた分岐先の命令をすぐに実行する事ができる。

この様に、分岐命令を実行する以前に、命令コードフェッチのシーケンスの切換えあるいは分岐先の命令コードを予め先取りしておく事により、命令分岐が発生した時に、分岐先の命令コードが外部メモリから読み込まれる迄、命令実行部分が命令の実行を持つこと無く、すぐに分岐先の命令を実行する事ができる為、命令分岐によるバイブルайнの乱れを最小限に抑えることができ、プログラムの実行速度を大幅に向かう事ができる。

4. 図面の簡単な説明

第1図は本発明の第1の実施例のブロック図、第2図は本発明の第1の実施例の動作タイミングの概略図、第3図は本発明の第2の実施例のブロック図、第4図は従来例のブロック図、第5図

特開平3-33933 (7)

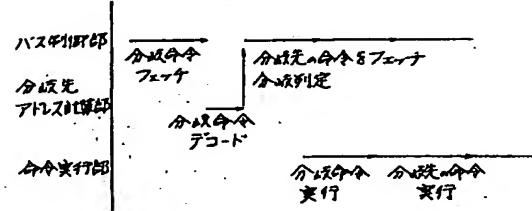
は従来例の動作タイミングの概略図である。

100 ……マイクロコンピュータ、 101 ……バス制御部、 101-1 ……バスサイクル制御部、 101-2 ……フェッチボインタ、 101-3 ……アドレスバッファ、 101-4 ……命令コードバッファ、 102 ……命令コード格納部、 102-1 ……命令キュー、 103 ……命令実行部、 103-1 ……マイクロシーケンサ、 103-2 ……レジスト群、 103-3 ……ALU、 104 ……分岐アドレス計算部、 104-1 ……命令コード長デコーダ、 104-1-1 ……命令先頭検出信号、 104-2 ……分岐命令デコーダ、 104-2-1 ……分岐命令検出信号、 104-3 ……ボインタバッファ、 104-4 ……アドレスアダーハ、 104-5 ……分岐アドレス計算制御部、 104-5-1 ……命令コードフェッチ停止信号、 104-5-2 ……無条件分岐判定信号、 105 ……命令コード入力バス、 106 ……命令コード出力バス、 300 ……マイクロコンピュータ、 301 ……バス制御部、 301-1 ……バス

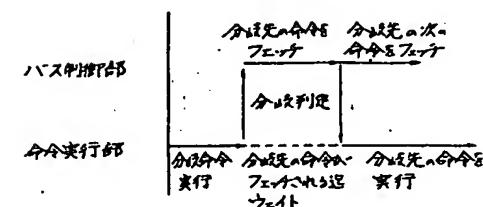
サイクル制御部、 301-2 ……フェッチボインタ、 301-3 ……アドレスバッファ、 301-4 ……命令コードバッファ、 301-5 ……分岐命令コードバッファ、 301-6 ……命令コードセレクタ、 301-7 ……命令キュー無効信号、 102 ……命令コード格納部、 102-1 ……命令キュー、 303 ……命令実行部、 303-1 ……分岐判定信号、 303-2 ……非分岐判定信号、 304 ……分岐アドレス計算部、 304-1 ……命令コード長デコーダ、 304-1-1 ……命令先頭検出信号、 304-2 ……分岐命令デコーダ、 304-2-1 ……無条件分岐命令検出信号、 304-2-2 ……条件分岐命令検出信号、 304-3 ……ボインタバッファ、 304-4 ……アドレスアダーハ、 304-5 ……分岐アドレス計算制御部、 304-5-1 ……分岐先命令コード先取り要求信号、 304-5-2 ……無条件分岐判定信号、 304-5-3 ……命令コードフェッチ停止信号、 400 ……マイクロコンピュータ、 401 ……バス制御部、 401-1 ……バス

…バスサイクル制御部、 401-2 ……フェッチボインタ、 401-3 ……アドレスバッファ、 401-5 ……命令キュー無効信号、 402 ……命令コード格納部、 402-1 ……命令キュー、 403 ……命令実行部、 403-1 ……マイクロシーケンサ、 403-2 ……レジスト群、 403-3 ……ALU、 403-4 ……分岐判定信号、 404 ……命令コード入力バス、 405 ……命令コード出力バス、 406 ……分岐アドレスバス。

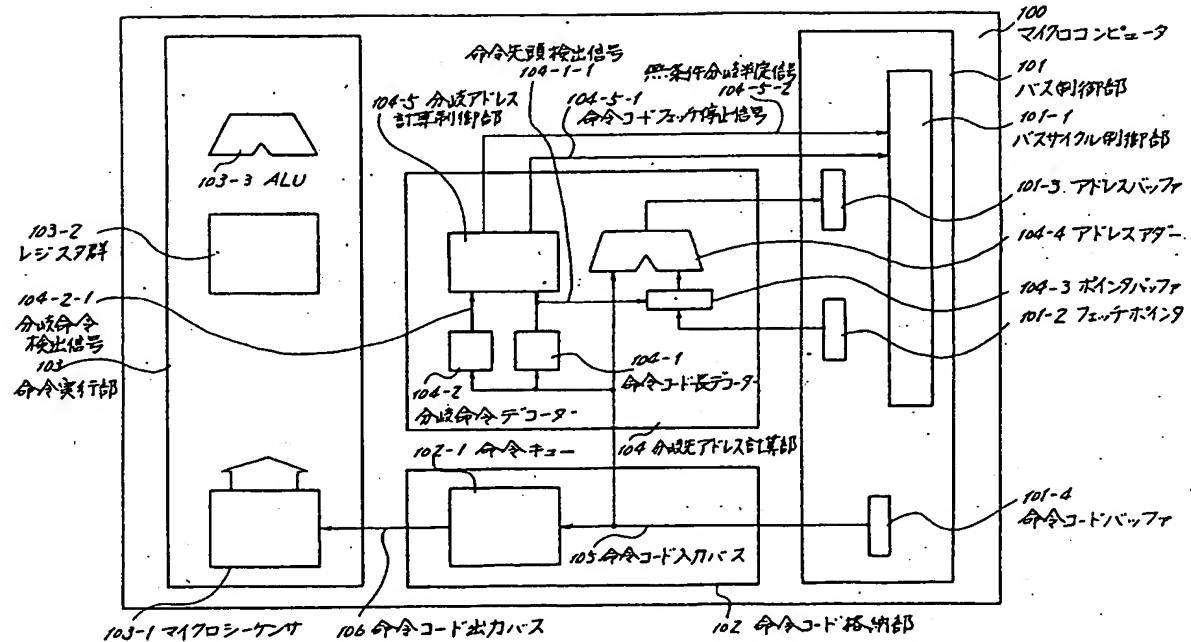
代理人弁理士 内原晋



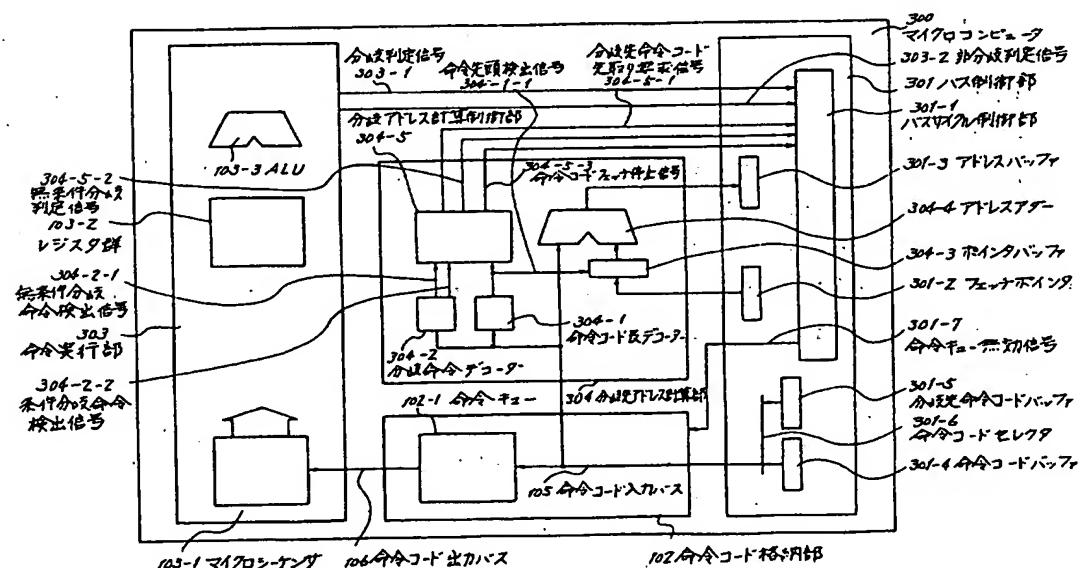
第2図



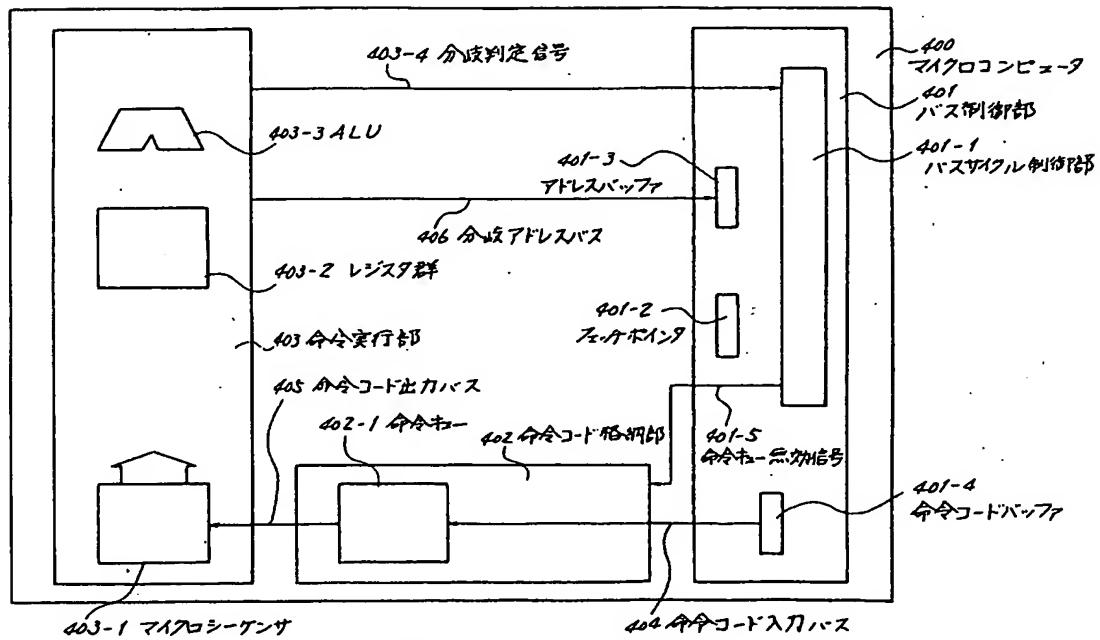
第5図



第1図



第3図



第4図

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

BLACK BORDERS

IMAGE CUT OFF AT TOP, BOTTOM OR SIDES

FADED TEXT OR DRAWING

BLURRED OR ILLEGIBLE TEXT OR DRAWING

SKEWED/SLANTED IMAGES

COLOR OR BLACK AND WHITE PHOTOGRAPHS

GRAY SCALE DOCUMENTS

LINES OR MARKS ON ORIGINAL DOCUMENT

REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.